

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-22836

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H 0 3 M 7/50		9382-5K	H 0 3 M 7/50	
G 0 6 F 7/38			G 0 6 F 7/38	B
H 0 4 N 1/41			H 0 4 N 1/41	B
7/24			G 0 6 F 7/58	B
// G 0 6 F 7/58			H 0 4 N 7/13	Z
審査請求 未請求 請求項の数 2 F D (全 9 頁)				

(21) 出願番号 特願平8-191451

(22) 出願日 平成8年(1996) 7月2日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小林 貢

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 鈴木 義則

東京都品川区北品川6丁目7番35号 ソニー株式会社内

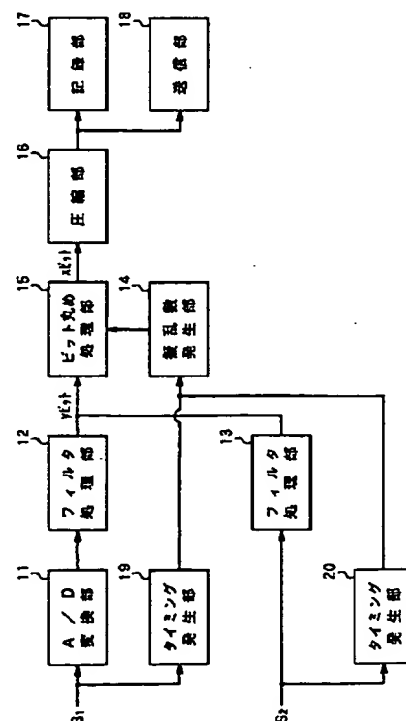
(74) 代理人 弁理士 藤島 洋一郎

(54) 【発明の名称】 ビット丸め装置

(57) 【要約】

【課題】 時間的または空間的相関性を利用したデータ圧縮処理の圧縮効率を劣化させることなく、データ圧縮処理の前に、入力データのビット系列に依存しない入力データのビット丸めを行うことができるようにする。

【解決手段】 ビット丸め処理部15は、擬乱数発生部14によって発生される擬乱数に基づいて、入力データのビット系列に依存しない入力データのビット丸めを行い、ビット丸め処理部15の出力データに対して、圧縮部16によって、時間的または空間的相関性を利用したデータ圧縮処理が行われる。擬乱数発生部14は、タイミング発生部19、20からの初期化パルスによって、各フレームの先頭データがビット丸め処理部15に入力されるタイミングで初期化される。従って、擬乱数の系列は、全てのフレームで常に同じになる。



【特許請求の範囲】

【請求項1】 時間的または空間的相関性を利用したデータ圧縮処理の前に、入力データのビット丸めを行うビット丸め装置であって、

前記データ圧縮処理において相関性を利用する入力データの単位毎に同じ数値系列となるように、各入力データ毎に各入力データのビット系列に依存しない数値を発生する数値発生手段と、

各入力データ毎に、前記数値発生手段によって発生された数値に基づいて、入力データのビット系列に依存しないビット丸めを行うビット丸め処理手段とを備えたことを特徴とするビット丸め装置。

【請求項2】 前記数値発生手段は、所定の初期値で始まり所定の周期を有する擬乱数系列に従って各入力データ毎に前記数値としての擬乱数を発生すると共に、初期化されたときに前記初期値から順に擬乱数の発生を開始する擬乱数発生手段と、前記データ圧縮処理において相関性を利用する入力データの単位毎に前記擬乱数発生手段を初期化する初期化手段とを有することを特徴とする請求項1記載のビット丸め装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、時間的または空間的相関性を利用したデータ圧縮処理の前に、データのビット丸めを行うビット丸め装置に関する。

【0002】

【従来の技術】一般に、ディジタルデータの処理を行うシステムの入力ビット幅に対して、処理の対象となるデータのビット幅が大きい場合、なんらかの方法でビット丸めが行われる。ビット丸めの方法としては、次の2つの方法がある。第1の方法は、入力ビット系列に依存したビット丸め（切り捨て、切り上げ、四捨五入等）であり、第2の方法は、入力ビット系列に依存しないビット丸め（白色雑音法、ディザ法等）である。一般に、第2の方法の方が視覚上または聴覚上良好な結果を示すことが多い。

【0003】一方、近年の情報圧縮技術の進歩により、MPEG (Moving Picture Experts Group) 規格等に代表される時間的または空間的相関性を積極的に利用した情報圧縮方法が幅広く用いられるようになってきた。時間的相関性を利用した圧縮方法にはフレーム間予測符号化等、空間的相関性を利用した圧縮方法にはDCT（離散コサイン変換）等があり、MPEG規格では両者を併用している。

【0004】

【発明が解決しようとする課題】ところで、上述のような相関性を利用した圧縮処理を行う前に入力データのビット丸めを行う場合において、上述の第2の方法であるビット系列に依存しないビット丸めを使用する場合に、次のような問題点があった。すなわち、入力データ

が静止画像データの場合、ビット系列に依存しないビット丸め、例えば白色雑音法によるビット丸めを行うと、丸めの結果として静止画像ではなくなってしまう、後段の圧縮処理において効果的な圧縮を行うことができなくなるという問題点である。

【0005】以下、この問題点について図面を参照して詳しく説明する。図6は、入力データに対して圧縮処理を含む処理を行う従来のシステムの一例を示したものである。このシステムは、入力アナログ信号をアナログ→デジタル（以下、A/Dと記す。）変換するA/D変換器201と、このA/D変換器201の出力データに対してダウンサンプリング等のフィルタ処理を行うフィルタ処理部202と、このフィルタ処理部202の出力データに対してビット丸め処理を行うビット丸め処理部203と、このビット丸め処理部203の出力データに対して時間的または空間的相関性を利用した圧縮符号化を行う圧縮部204とを備えている。

【0006】図6において、フィルタ処理部202の出力データYのビット幅をyとしたとき、圧縮部204に対する入力データのビット幅が、yよりも小さいxの場合には、ビット丸め処理部203において、何らかの方法でビット丸めが行われる。前述のように、ビット丸めの方法には2つの方法があるが、第2の方法である入力ビット系列に依存しないビット丸めの方が視覚上または聴覚上良好な結果を示すことが多い。特に、入力ビット系列が量子化ステップに対して緩やかに変化している場合等には、例えば四捨五入等のビット丸めを行うと出力データが階段状に変化してしまうのに対して、白色雑音法を用いたビット丸めを行うと、各サンプル点では不規則なビット系列になるが、例えば画面全体を評価の対象とした場合には、出力データの階段状の変化が緩和され、視覚上の効果が大きい。

【0007】このように白色雑音法等の入力ビット系列に依存しないビット丸めによれば、視覚上の改善が見られるが、そのビット丸めの結果のデータが、時間的または空間的相関性を利用した圧縮符号化を行う圧縮部204に入力される場合には問題が生じる。具体的には、例えばA/D変換部201に静止画像データが入力された場合、ビット丸め処理部203で例えば白色雑音法によりビット丸めを行うと、フレーム毎に白色雑音の発生系列が異なるために、ビット丸めにより静止画像が動画像に変わってしまうという問題である。その結果、圧縮部204における圧縮の際に、時間的または空間的相関性を充分に利用することができなくなり、効果的な圧縮を行うことができなくなってしまう。

【0008】ここで、一例として、図6に示したシステムにおいて、入力信号が625ライン、50フィールドの映像信号である場合を例にとり、静止画像データに対して、入力ビット系列に依存しないビット丸めを行うと静止画像ではなくなってしまうことを具体的に示す。

【0009】まず、以下の3つのことを仮定する。第1の仮定は、図6におけるビット丸め処理部203におけるビット丸め方法として白色雑音法を用いることである。この方法では、一般に白色雑音として擬乱数を用い、擬乱数としては高次のM系列を用いることが多い。ここでは、12次のM系列（原始多項式 $x^{11} + x^{10} + x^7 + x^5 + 1$ ）を用いることとする。12次のM系列による擬乱数は、図7に示すようなM系列発生器によって発生させることができる。このM系列発生器は、システムクロックに従って動作する12ビットのシフトレジスタ205と、このシフトレジスタ205の所定のビットの出力データを用いた演算によりシフトレジスタ205に対する入力データを生成するフィードバックゲート206とを備えている。シフトレジスタ205の各ビット毎の出力データを、入力側より順にA0～A11とすると、フィードバックゲート206は、 $A5 \wedge A7 \wedge A10 \wedge A11$ （ただし、“ \wedge ”は排他的論理和を表す。）を演算し、その結果をシフトレジスタ205に入力するようになっている。このM系列発生器では、シフトレジスタ205の12ビットの出力が12次のM系列による擬乱数となる。12次のM系列の発生周期は、 $2^{12} - 1 = 4095$ である。また、このM系列の場合、初期値は12'hFFF（ただし、“12'h”は、12ビットのデータを16進数で表していることを示す。）であり、以下、FFC, FF8, FF0, FE0, FC0, F81, F03, E06, C0C, 818, 031, …と続き、000を除く001からFFFまでの4095通りの出力が、1周期中でそれぞれ1回ずつ出現する。

【0010】第2の仮定は、ビット丸めの方法として、以下のような方法を用いることである。まず、図6に示したシステムにおいて、入力アナログ信号をA/D変換器201によってA/D変換し、フィルタ処理部202によってデジタルフィルタ処理を行い、結果として20ビットの出力データYが得られるものとする。ビット丸め処理部203では、出力データYの下位12ビットを丸め、8ビットの出力データXを出力するものとする。つまり、フィルタ処理部202の出力データYのビット幅 $y=20$ 、圧縮部204に対する入力データのビット幅 $x=8$ の場合である。

【0011】図8は、ビット丸め処理部203の動作すなわちビット丸めの方法を示す流れ図である。この動作では、まず、図7に示したM系列発生器によって12次のM系列による擬乱数Aを発生する（ステップS211）。次に、入力データYの下位 $(y-x)$ ビット（=12ビット）が12ビットの擬乱数A以上か否かを判断する（ステップS212）。データYの下位 $(y-x)$ ビットが擬乱数A以上の場合（ステップS212; Y）は、データYの上位 x ビット（=8ビット）に対して+1の演算を行い（ステップS213）、演算後のデータYの上位 x ビットをビット丸めの結果の出力データXと

して出力し（ステップS214）、動作を終了する。一方、データYの下位 $(y-x)$ ビットが擬乱数Aよりも小さい場合（ステップS212; N）は、データYの上位 x ビットをそのままビット丸めの結果の出力データXとして出力し（ステップS214）、動作を終了する。なお、図8に示した動作は、1つのデータについて示したものであり、時系列的に入力される各データに対して同様の動作が繰り返し実行される。

【0012】第3の仮定は圧縮部204において時間的または空間的相関性を利用した圧縮を行う際の相関性を利用するデータの単位をフレーム単位とすることである。

【0013】以上の3つの仮定の下で、625ライン、50フィールドの静止画像データに対してビット丸めを行うと静止画像ではなくなってしまうことを、以下で説明する。まず、625ライン、50フィールドの画像データにおける1フレームのクロック数を計算する。27MHzのシステムクロックの場合、1ラインのクロック数は1728である。1フレーム内には625ラインあるので、1フレーム内のクロックサンプル数は、 $1728 \times 625 = 1080000$ クロックとなる。一方、前述のように12次のM系列の発生周期は4095である。つまり、4095クロックを1周期として同一の系列を発生する。ここで、625ライン、50フィールドの画像データの1フレーム内のクロックサンプル数と12次のM系列の発生周期との関係を調べてみる。 $1080000 / 4095$ を演算すると、263.73…となり、割り切れない。従って、隣接する2つのフレームN, N+1間では、フレーム内のM系列による擬乱数の系列は異なったものとなる。例えば、フレームの先頭データを例にとると、Nフレームの先頭データに対するM系列による擬乱数の値が12'hFFF（初期値）となる場合、N+1フレームの先頭データに対するM系列による擬乱数の値は、 $1080000 \bmod 4095 = 3015$ （ただし、“mod”は剰余演算を表す。）より、3015クロック数だけ位相のずれた12'hD5Eとなる。一方、静止画像の場合、Nフレームの先頭データが例えば20'h80E00（ただし、“20'h”は、20ビットのデータを16進数で表していることを示す。）であるときには、N+1フレームの先頭データも20'h80E00となる。

【0014】このように、入力データYの下位12ビットが、NフレームとN+1フレームの各先頭データで共に12'hE00と同じであるにもかかわらず、ビット丸めを行う際のM系列による擬乱数の値が、NフレームとN+1フレームの各先頭データに対してそれぞれ12'hFFFと12'hD5Eと異なっているので、NフレームとN+1フレームとではビット丸めの結果も異なる。すなわち、Nフレームの先頭データ12'hE00とこれに対する擬乱数の値12'hFFFとを比較す

ると、 $12'hE00 < 12'hFFF$ となり、データYの上位8ビットに対して+1の処理は行われない。一方、N+1フレームの先頭データ $12'hE00$ とこれに対する擬乱数の値 $12'hD5E$ とを比較すると、 $12'hE00 > 12'hD5E$ となり、データYの上位8ビットに対して+1の処理が行われる。その結果、NフレームとN+1フレームの各先頭データに対するビット丸めの結果のデータは、それぞれ $8'h80$ 、 $8'h81$ （ただし、“ $8'h$ ”は、8ビットのデータを16進数で表していることを示す。）となる。この結果は、明からに、静止画像データに対してビット丸めを行ったことが原因で、静止画像が動画画像に変わってしまったことを表している。ここまでは、NフレームとN+1フレームの各先頭データについてのみ考えてきたが、M系列の発生位相がフレームの位相と合っていないことから、フレーム内の全てのデータについて同様のことが言えるのは明らかである。

【0015】図6における圧縮部204による時間的または空間的相関性を利用した圧縮符号化では、本来、相関性の高い静止画像データに対しては圧縮効率が高い。しかしながら、上述のように、ビット丸めによって静止画像が動画画像に変わってしまうと、圧縮部204では、ビット丸め以前は静止画像であるにもかかわらず動画画像として圧縮符号化を行うことになり、圧縮効率が劣化してしまうという問題点がある。なお、以上、静止画像の場合について説明してきたが、上記問題点は、画面全体のうちの一部に動きがあり、他の部分は静止状態である動画画像の場合にも当てはまる。すなわち、ビット丸めの結果、動画画像のうち静止状態である部分について圧縮効率が劣化してしまう。

【0016】本発明はかかる問題点に鑑みてなされたもので、その目的は、時間的または空間的相関性を利用したデータ圧縮処理の圧縮効率を劣化させることなく、データ圧縮処理の前に、入力データのビット系列に依存しない入力データのビット丸めを行うことができるようにしたビット丸め装置を提供することにある。

【0017】

【課題を解決するための手段】本発明のビット丸め装置は、時間的または空間的相関性を利用したデータ圧縮処理の前に、入力データのビット丸めを行うビット丸め装置であって、データ圧縮処理において相関性を利用する入力データの単位毎に同じ数値系列となるように、各入力データ毎に各入力データのビット系列に依存しない数値を発生する数値発生手段と、各入力データ毎に、数値発生手段によって発生された数値に基づいて、入力データのビット系列に依存しないビット丸めを行うビット丸め処理手段とを備えたものである。

【0018】このビット丸め装置では、数値発生手段によって、データ圧縮処理において相関性を利用する入力データの単位毎に同じ数値系列となるように、各入力カ

データ毎に各入力データのビット系列に依存しない数値が発生され、この数値に基づいて、ビット丸め処理手段によって、入力データのビット系列に依存しないビット丸めが行われる。入力データのビット系列に依存しない数値は、データ圧縮処理において相関性を利用する入力データの単位毎に同じ系列となるため、データ圧縮処理において相関性を利用する入力データの単位毎に同じデータが繰り返される部分については、ビット丸めの結果も同じになり、データ圧縮処理の圧縮効率が劣化することはない。

【0019】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0020】図1は本発明の一実施の形態に係るビット丸め装置を含むシステムの構成を示すブロック図である。このシステムは、画像データを圧縮して記録あるいは送信するシステムである。このシステムは、入力アナログ画像信号 S_1 をアナログーディジタル（以下、A/Dと記す。）変換するA/D変換器11と、このA/D変換器11の出力データに対してダウンサンプリング等のディジタルフィルタ処理を行うフィルタ処理部12と、入力ディジタル画像信号 S_2 に対してダウンサンプリング等のディジタルフィルタ処理を行うフィルタ処理部13とを備えている。図1に示したシステムは、更に、所定の初期値で始まり所定の周期を有する擬乱数系列に従って、フィルタ処理部12またはフィルタ処理部13の各出力データ毎に、そのデータのビット系列に依存しない数値としての擬乱数を発生すると共に、初期化パルスが入力されたときには初期値から順に擬乱数の発生を開始する擬乱数発生部14と、この擬乱数発生部14によって発生された擬乱数に基づいて、フィルタ処理部12またはフィルタ処理部13の出力データに対して、そのデータのビット系列に依存しないビット丸め処理を行うビット丸め処理部15と、このビット丸め処理部15の出力データに対して時間的または空間的相関性を利用した圧縮符号化を行う圧縮部16と、この圧縮部16の出力データを磁気テープ、ハードディスク、光ディスク等の記録メディアに記録する記録部17と、圧縮部16の出力データをLAN（ローカル・エリア・ネットワーク）、衛星等の通信メディアに対して送信する送信部18と、入力アナログ画像信号 S_1 に基づいて擬乱数発生部14を初期化するための初期化パルスを発生するタイミング発生部19と、入力ディジタル画像信号 S_2 に基づいて擬乱数発生部14を初期化するための初期化パルスを発生するタイミング発生部20とを備えている。ここで、擬乱数発生部14、ビット丸め処理部15およびタイミング発生部19、20が本実施の形態に係るビット丸め装置を構成する。擬乱数発生部14は本発明における擬乱数発生手段に対応し、タイミング発生部19、20は本発明における初期化手段に対応し、ビッ

ト丸め処理部15は本発明におけるビット丸め処理手段に対応する。

【0021】タイミング発生部19、20は、それぞれ、圧縮部16において相関性を利用するデータの単位毎に、擬乱数発生部14によって発生される擬乱数系列が同じ系列となるように、初期化パルスが発生し、擬乱数発生部14に送る。例えば、圧縮部16において相関性を利用するデータの単位がフレーム単位である場合には、タイミング発生部19は、例えば、入力アナログ画像信号S₁における垂直同期信号を判別して、1フレームの先頭のデータがフィルタ処理部12よりビット丸め処理部15に入力されるタイミングで初期化パルスが発生する。一方、タイミング発生部20は、例えば、入力デジタル画像信号S₂に含まれるヘッダ情報中のライン番号を示すデータを判別して、1フレームの先頭のデータがフィルタ処理部13よりビット丸め処理部15に入力されるタイミングで初期化パルスが発生する。

【0022】次に、図1に示したシステムの動作について説明する。このシステムでは、入力アナログ画像信号S₁が入力されるときには、入力アナログ画像信号S₁は、A/D変換部11でデジタルデータに変換され、このデータに対してフィルタ処理部12でフィルタ処理が行われ、フィルタ処理後のデータがビット丸め処理部15に入力される。ここで、ビット丸め処理部15の入力データYのビット幅をy、ビット丸め処理部15の出力データ(圧縮部16の入力データ)Xのビット幅をyよりも小さいxとする。ビット丸め処理部15は、擬乱数発生部14によって発生される擬乱数に基づいて、データYの下位(y-x)ビットを丸め、結果としてxビットのデータXを出力する。図3は、ビット丸め処理部15の入力データY、出力データXおよびビット丸めを行う部分の関係を示したものである。圧縮部16は、ビット丸め処理部15の出力データXに対して時間的または空間的相関性を利用した圧縮符号化を行う。圧縮後のデータは、記録部17によって記録メディアに記録されたり、送信部18によって通信メディアに対して送信されたりする。タイミング発生部19は、1フレームの先頭のデータがフィルタ処理部12よりビット丸め処理部15に入力されるタイミングで初期化パルスが発生し、擬乱数発生部14に送る。

【0023】図1に示したシステムに対して、入力デジタル画像信号S₂が入力されるときには、入力デジタル画像信号S₂に対してフィルタ処理部13でフィルタ処理が行われ、フィルタ処理後のデータがビット丸め処理部15に入力される。タイミング発生部20は、1フレームの先頭のデータがフィルタ処理部13よりビット丸め処理部15に入力されるタイミングで初期化パルスが発生し、擬乱数発生部14に送る。その他の動作は、入力アナログ画像信号S₁が入力されるときと同様である。

【0024】本実施の形態では、ビット丸め処理部15において、擬乱数発生部14によって発生された擬乱数に基づいて、例えば白色雑音法により、入力データのビット系列に依存しないビット丸めが行われる。ここで、擬乱数発生部14によって発生される擬乱数の系列は、圧縮部16において相関性を利用するデータの単位毎に同じ系列となる。従って、ビット丸め処理部15の入力データが静止画像データの場合には、ビット丸め処理部15におけるビット丸めの結果も同じになり、ビット丸め処理部15の出力データも静止画像データとなり、圧縮部16における圧縮効率が劣化することがない。

【0025】次に、本実施の形態に係るビット丸め装置の動作を具体的に説明する。

【0026】まず、以下の3つのことを仮定する。第1の仮定は、ビット丸め方法として白色雑音法を用いることである。ここでは、白色雑音として12次のM系列(原始多項式 $x^{11} + x^{10} + x^7 + x^5 + 1$)を用いることとする。この場合、12次のM系列による擬乱数を生じさせる擬乱数発生部14は、例えば、図2に示すように構成することができる。この擬乱数発生部14は、システムクロックに従って動作する12ビットのシフトレジスタ31と、このシフトレジスタ31の所定のビットの出力データを用いた演算によりシフトレジスタ31に対する入力データを生成するフィードバックゲート32とを備えている。シフトレジスタ31の各ビット毎の出力データを、入力側より順にA0~A11とすると、フィードバックゲート32は、 $A5 \wedge A7 \wedge A10 \wedge A11$ (ただし、“ \wedge ”は排他的論理和を表す。)を演算し、その結果をシフトレジスタ31に入力するようになっている。シフトレジスタ31の12ビットの出力が12次のM系列による擬乱数となる。シフトレジスタ31は、タイミング発生部19またはタイミング発生部20からの初期化パルスPによって初期化され、初期値12'h FFFから擬乱数の発生を開始するようになっている。この擬乱数発生部14による12次のM系列の発生周期は、 $2^{12} - 1 = 4095$ である。また、この擬乱数発生部14では、初期値12'h FFFから始まり、FFC, FF8, FF0, FE0, FC0, F81, F03, E06, C0C, 818, 031, ...と続き、000を除く001からFFFまでの4095通りの出力が、1周期中でそれぞれ1回ずつ出現する。

【0027】第2の仮定は、ビット丸めの方法として、以下のような方法を用いることである。まず、図1に示したシステムにおいて、フィルタ処理部12またはフィルタ処理部13の出力データのビット幅が20ビットであり、ビット丸め処理部15では、この20ビットのデータの下位12ビットを丸め、8ビットのデータを出力するものとする。つまり、図3に示したように、ビット丸め処理部15の入力データYのビット幅y=20、出力データXのビット幅x=8の場合である。ビット丸め

の方法は、入力データYの下位12ビットと擬乱数発生部14によって発生される12ビットの擬乱数とを比較し、入力データYの下位12ビットが擬乱数以上である場合には入力データYの上位8ビットに対して+1の演算を行って出力し、入力データYの下位12ビットが擬乱数よりも小さい場合には入力データYの上位8ビットをそのまま出力するというものである。

【0028】第3の仮定は、圧縮部16において時間的または空間的相関性を利用した圧縮を行う際の相関性を利用するデータの単位をフレーム単位とすることである。従って、この場合、擬乱数発生部14内のシフトレジスタ31は、フレーム単位で、タイミング発生部19またはタイミング発生部20からの初期化パルスによって初期化され、初期値12'hFFFから擬乱数の発生を開始する。初期化するタイミングは、例えば各フレームの先頭データがビット丸め処理部15に入力されるタイミングとする。従って、擬乱数の系列は、全てのフレームで常に同じになる。具体的には、各フレームで、先頭データから順に、12'hFFF, FFC, FF8, FF0, FE0, FC0, F81, F03, E06, C0C, 818, 031, ...となる。

【0029】図4は、以上の3つの仮定の下において、本実施の形態に係るビット丸め装置の動作を示す流れ図である。この動作では、まず、図2に示した擬乱数発生部14によって12次のM系列による擬乱数Aを発生する(ステップS101)。次に、入力データYの下位 $(y-x)$ ビット(=12ビット)が12ビットの擬乱数A以上か否かを判断する(ステップS102)。データYの下位 $(y-x)$ ビットが擬乱数A以上の場合(ステップS102; Y)は、データYの上位xビット(=8ビット)に対して+1の演算を行い(ステップS103)、演算後のデータYの上位xビットをビット丸めの結果の出力データXとして出力し(ステップS104)、動作を終了する。一方、データYの下位 $(y-x)$ ビットが擬乱数Aよりも小さい場合(ステップS102; N)は、データYの上位xビットをそのままビット丸めの結果の出力データXとして出力し(ステップS104)、動作を終了する。なお、図4に示した動作は、1つのデータについて示したものであり、時系列的に入力される各データに対して同様の動作が繰り返し実行される。

【0030】図5は、図4におけるステップS101の動作を示す流れ図である。この動作では、まず、タイミング発生部19、20によってフレームの先頭データか否かを判断する(ステップS111)。フレームの先頭データである場合(Y)は、タイミング発生部19、20は、1フレームの先頭のデータがフィルタ処理部12、13よりビット丸め処理部15に入力されるタイミングで初期化パルスが発生し、擬乱数発生部14に送って、擬乱数発生部14内のシフトレジスタ31を初期化

する(ステップS112)。これにより、シフトレジスタ31の出力は初期値となる。次に、シフトレジスタ31の出力を擬乱数Aとしてビット丸め処理部15に出力し(ステップS113)、図4に示した動作にリターンする。一方、フレームの先頭データではない場合(ステップS111; N)は、シフトレジスタ31を初期化することなく、シフトレジスタ31の出力を擬乱数Aとしてビット丸め処理部15に出力し(ステップS113)、図4に示した動作にリターンする。

【0031】次に、本実施の形態に係るビット丸め装置によれば、ビット丸め処理部15の入力データが静止画像データの場合にはビット丸め処理部15の出力データも静止画像データとなることを、上記3つの仮定の下で具体例を挙げて説明する。ここでは、図1における入力信号 S_1 , S_2 が625ライン、50フィールドの静止画像データであるとする。まず、625ライン、50フィールドの画像データにおける1フレームのクロック数を計算する。27MHzのシステムクロックの場合、1ラインのクロック数は1728である。1フレーム内には625ラインあるので、1フレーム内のクロックサンプル数は、 $1728 \times 625 = 1080000$ クロックとなる。一方、前述のように12次のM系列の発生周期は4095である。つまり、4095クロックを1周期として同一の系列を発生する。ここで、625ライン、50フィールドの画像データの1フレーム内のクロックサンプル数と12次のM系列の発生周期との関係を調べてみる。 $1080000 / 4095$ を演算すると、263.73...となり、割り切れない。従って、シフトレジスタ31をフレーム単位で初期化しない場合には、隣接する2つのフレームN, N+1間では、フレーム内のM系列による擬乱数の系列は異なったものとなる。例えば、フレームの先頭データを例にとると、Nフレームの先頭データに対するM系列による擬乱数の値が12'hFFF(初期値)となる場合、N+1フレームの先頭データに対するM系列による擬乱数の値は、 $1080000 \bmod 4095 = 3015$ より、3015クロック数だけ位相のずれた12'hD5Eとなる。

【0032】しかしながら、本実施の形態では、各フレームの先頭データがビット丸め処理部15に入力されるタイミングでシフトレジスタ31を初期化するので、いずれのフレームでも先頭データに対する擬乱数の値は12'hFFF(初期値)となる。

【0033】一方、静止画像の場合、Nフレームの先頭データが例えば20'h80E00であるときには、N+1フレームの先頭データも20'h80E00となる。

【0034】このように、ビット丸め処理部15の入力データYの下位12ビットが、NフレームとN+1フレームの各先頭データで共に12'hE00と同じであり、且つ、ビット丸めを行うためのM系列による擬乱数

の値も、NフレームとN+1フレームの各先頭データに対してそれぞれ12'hFFFと同じになるので、NフレームとN+1フレームの各先頭データでビット丸めの結果も同じになる。すなわち、NフレームとN+1フレームのいずれの場合も、先頭データ12'hE00とこれに対する擬乱数の値12'hFFFとを比較すると、 $12'hE00 < 12'hFFF$ となり、入力データYの上位8ビットに対して+1の処理は行われない。従って、NフレームとN+1フレームの各先頭データに対するビット丸めの結果のデータは、共に8'h80となる。この結果は、明かに、静止画像データに対してビット丸めを行っても静止画像データが出力されることを表している。ここまでは、NフレームとN+1フレームの各先頭データについてのみ考えてきたが、M系列による擬乱数の発生位相がフレームの位相と合っていることから、フレーム内の全てのデータについて同様のことが言えるのは明らかである。

【0035】図1における圧縮部16による時間的または空間的相関性を利用した圧縮符号化では、相関性の高い静止画像データに対しては圧縮効率が高い。従って、本実施の形態に係るビット丸め装置によれば、ビット丸めを行う前に静止画像である場合にはビット丸めを行った後も静止画像のままであるため、圧縮部16において静止画像のまま、すなわち相関性が高いまま圧縮符号化を行うことができ、圧縮効率が劣化することがない。

【0036】なお、本実施の形態では、擬乱数の系列は、全てのフレームで常に同じになるので、フレーム間では白色雑音とは言えないが、フレーム内では十分に白色雑音とみなすことができ、白色雑音による視覚上の改善効果を得ることができる。

【0037】以上説明したように、本実施の形態に係るビット丸め装置によれば、白色雑音を用いて視覚上優れたビット丸めを行いながら、静止画像入力時に、時間的または空間的相関性を利用したデータ圧縮処理の圧縮効率を劣化させることがなくなる。なお、以上の効果は、静止画像の場合に限らず、画面全体のうちの一部に動きがあり、他の部分は静止状態である動画像の場合でも同様である。すなわち、動画像のうち静止状態である部分については、ビット丸めによって圧縮効率が劣化することがない。

【0038】なお、本発明は上記実施の形態に限定されず、例えば、圧縮部16において時間的または空間的相関性を利用した圧縮を行う際の相関性を利用するデータの単位は、フレーム単位に限らず、フィールド単位、ライン単位等でも良い。

【0039】また、上記実施の形態では、ビット丸め処理部15の入力データYのビット幅を $y=20$ ビット、ビット丸め処理部15の出力データXのビット幅を $x=8$ ビット、擬乱数のビット幅を12ビットとして、ビット丸め処理前後のビット幅の差分値 $(y-x)$ と擬乱数

のビット幅とを一致させたが、ビット丸め処理前後のビット幅の差分値 $(y-x)$ と発生させる擬乱数のビット幅は、必ずしも一致させる必要はない。例えば、擬乱数のビット幅を $(y-x)$ ビットよりも幅の広い z ($>(y-x)$)ビットとして擬乱数を発生させ、ビット丸め処理の際には、発生させた擬乱数の z ビットの中から $(y-x)$ ビット分を抜き出して、ビット丸め処理に用いるようにしても良い。この場合には、擬乱数の周期は、 $2^z - 1$ ($> 2^{(y-x)} - 1$)となり、ビット幅が $(y-x)$ の擬乱数に比べてよりランダム性のある擬乱数を得ることができ、視覚上または聴覚上優れたビット丸め処理が可能となる。

【0040】ここで、ビット丸め処理前後のビット幅の差分値 $(y-x)$ と発生させる擬乱数のビット幅を一致させない方が効果的である一例を挙げる。ビット丸め処理として良く行われる例として、10ビットのビデオ信号を8ビットのビデオ信号に丸める場合がある。このとき、ビット丸め処理前後のビット幅の差分値 $(y-x)$ は、 $10-8=2$ ビットとなるので、2ビットのM系列の擬乱数を発生させようとしても、周期が $2^2 - 1 = 3$ となり、ランダム性が得られない。このような場合には、例えば12ビットのM系列の擬乱数(周期は $2^{12} - 1 = 4095$)を発生させ、その12ビットのうちの下位2ビットを抜き出してビット丸め処理に使用する(例えば、12ビットのM系列の擬乱数の下位2ビットをビット丸め処理前の10ビットのビデオ信号の下位2ビットと比較する)ことが考えられる。このとき、12ビットのM系列の擬乱数の下位2ビットも、周期が4095になる。この2ビットの各数値毎の発生頻度は、00が1023回、01が1024回、10が1024回、11が1024回となる。ここで、00が他に比べて発生頻度が1回少ないのは、12ビットのM系列の擬乱数において12'h000が発生しないからである。このように、12ビットのM系列の擬乱数の下位2ビットは、各数値毎の発生頻度は1023または1024となるが、必ず4095の周期を持つようになる。従って、ビット丸め処理に使用する擬乱数として、十分ランダム性のある擬乱数を得ることができる。

【0041】また、ビット丸めの方法は、上記実施の形態で挙げた例に限らず、例えば、入力データYの下位 $(y-x)$ ビットと擬乱数Aとを比較せずに、擬乱数Aが所定値以上であれば入力データYの上位 x ビットに対して+1の演算を行って出力し、擬乱数Aが所定値よりも小さければ入力データYの上位 x ビットをそのまま出力するといった方法でも良い。

【0042】また、入力データのビット系列に依存しない数値を発生する数値発生手段としては、図2に示したようにシフトレジスタ31を用いて擬乱数を発生するものに限らず、例えば、擬乱数等、入力データのビット系列に依存しない数値の系列を予めメモリに記憶してお

10

20

30

40

50

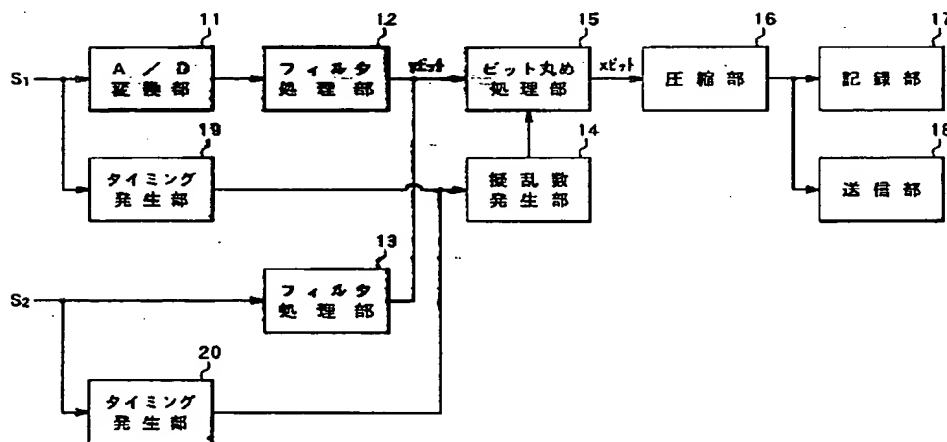
き、圧縮部16において時間的または空間的相関性を利用した圧縮を行う際の相関性を利用するデータの単位毎に同じ系列の数値をビット丸め処理部15に与えるように、メモリから数値を読み出すように構成したものでも良い。

【0043】また、本発明は、入力データが画像データの場合に限らず、音声データに対して時間的相関性を利用したデータ圧縮処理を行う場合に、データ圧縮処理の前に音声データのビット丸めを行う場合にも適用することができる。

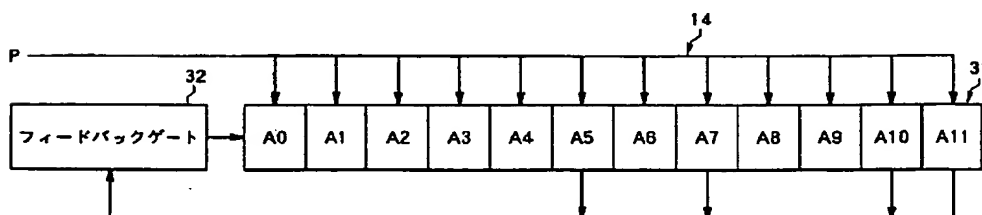
【0044】

【発明の効果】以上説明したように本発明のビット丸め装置によれば、数値発生手段によって、データ圧縮処理において相関性を利用する入力データの単位毎に同じ数値系列となるように、各入力データ毎に各入力データのビット系列に依存しない数値を発生し、この数値に基づいて、ビット丸め処理手段によって、入力データのビット系列に依存しないビット丸めを行うようにしたので、時間的または空間的相関性を利用したデータ圧縮処理の圧縮効率を劣化させることなく、データ圧縮処理の前に、入力データのビット系列に依存しない入力データのビット丸めを行うことができるという効果を奏する。

【図1】



【図2】



【図面の簡単な説明】

【図1】本発明の一実施の形態に係るビット丸め装置を含むシステムの構成を示すブロック図である。

【図2】図1における擬乱数発生部の構成の一例を示すブロック図である。

【図3】図1におけるビット丸め処理部の入力データ、出力データおよびビット丸めを行う部分の関係を示す説明図である。

【図4】本発明の一実施の形態に係るビット丸め装置の動作を示す流れ図である。

【図5】図4において擬乱数を発生するステップの動作を示す流れ図である。

【図6】入力データに対して圧縮処理を含む処理を行う従来のシステムの一例を示すブロック図である。

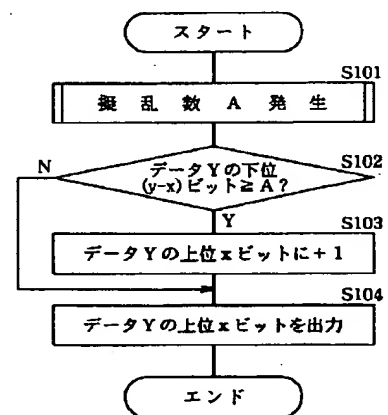
【図7】図6におけるビット丸め処理部内のM系列発生器の構成を示すブロック図である。

【図8】図6におけるビット丸め処理部の動作を示す流れ図である。

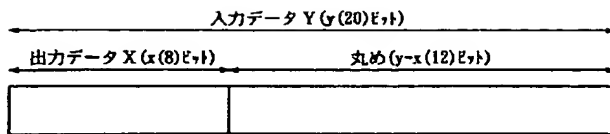
【符号の説明】

14…擬乱数発生部、15…ビット丸め処理部、16…圧縮部、19、20…タイミング発生部、31…シフトレジスタ、32…フィードバックゲート

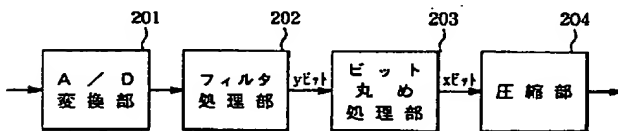
【図4】



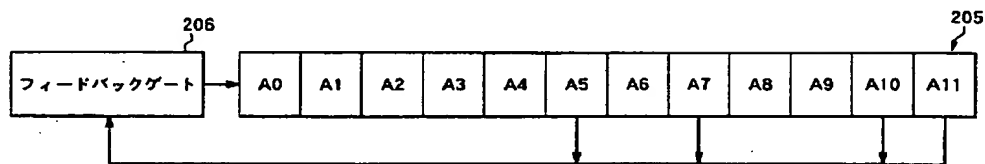
【図3】



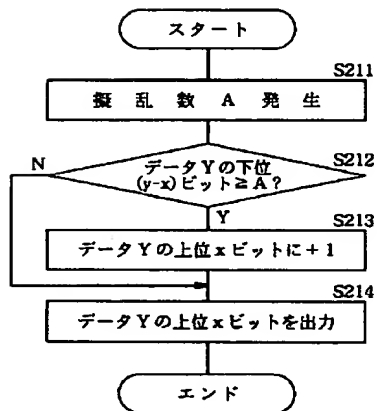
【図6】



【図7】



【図8】



【図5】

